



JC675 U.S. PTO  
10/003287



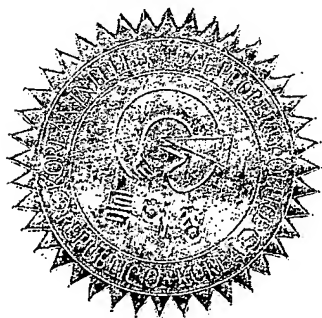
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 특허출원 2001년 제 54510 호  
Application Number PATENT-2001-0054510

출원 년 월 일 : 2001년 09월 05일  
Date of Application SEP 05, 2001

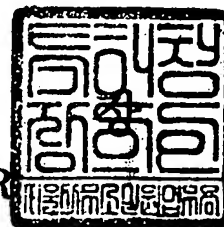
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2001 년 11 월 23 일

특 허 청

COMMISSIONER



BEST AVAILABLE COPY

## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0007  
**【제출일자】** 2001.09.05  
**【발명의 명칭】** 반도체 제조용 노광 마스크의 제조방법  
**【발명의 영문명칭】** METHOD OF FABRICATING EXPOSURE MASK FOR SEMICONDUCTOR MANUFACTURE

## 【출원인】

**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8

## 【대리인】

**【성명】** 강성배  
**【대리인코드】** 9-1999-000101-3  
**【포괄위임등록번호】** 1999-024436-4

## 【발명자】

**【성명의 국문표기】** 강상우  
**【성명의 영문표기】** KANG, Sang Woo  
**【주민등록번호】** 691105-1037526  
**【우편번호】** 100-051  
**【주소】** 서울특별시 중구 회현동1가 147-23 10/1(#602)  
**【국적】** KR

## 【심사청구】

청구

## 【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인  
 강성배 (인)

## 【수수료】

<b>【기본출원료】</b>	13 면	29,000 원
<b>【가산출원료】</b>	0 면	0 원
<b>【우선권주장료】</b>	0 건	0 원
<b>【심사청구료】</b>	10 항	429,000 원
<b>【합계】</b>		458,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

본 발명은 전하 축적에 의한 마스크 패턴의 임계치수(Critical Dimension) 정확도 저하를 개선시킬 수 있는 반도체 제조용 노광 마스크의 제조방법을 개시한다. 개시된 본 발명의 방법은, 투광성의 석영 기판 상에 크롬막 및 감광막을 차례로 형성하는 단계와, 상기 감광막 상에 Ag막을 형성하는 단계와, 상기 Ag막을 광원으로 고전압의 전자-빔 또는 집속 이온 빔을 사용하여 노광하고, 노광된 Ag막을 현상하여 Ag 패턴을 형성하는 단계와, 상기 Ag 패턴을 산화시켜 상기 Ag 패턴의 표면에 차광막의 역할을 하는 Ag 산화막을 형성하는 단계와, 상기 감광막을 광원으로 G-라인( $\lambda=436\text{nm}$ ), I-라인( $\lambda=365\text{nm}$ ), 또는, KrF( $\lambda=248\text{nm}$ )를 사용하여 노광하고, 노광된 감광막을 현상하여 크롬막을 노출시키는 감광막 패턴을 형성하는 단계와, 상기 노출된 크롬막 부분을 선택적으로 식각하여 마스크 패턴을 형성하는 단계와, 상기 Ag 산화막을 포함한 Ag 패턴과 감광막 패턴을 제거하는 단계를 포함한다.

## 【대표도】

도 2b

**【명세서】****【발명의 명칭】**

반도체 제조용 노광 마스크의 제조방법 {METHOD OF FABRICATING EXPOSURE MASK FOR SEMICONDUCTOR MANUFACTURE}

**【도면의 간단한 설명】**

도 1은 종래 기술에 따른 노광 마스크의 제조방법을 설명하기 위한 도면.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 노광 마스크의 제조방법을 설명하기 위한 도면.

\* 도면의 주요 부분에 대한 부호의 설명 \*

- |                   |             |
|-------------------|-------------|
| 1 : 석영 기판         | 2 : 크롬막     |
| 3 : 감광막           | 3a : 감광막 패턴 |
| 10 : 전자-빔         | 11 : Ag막    |
| 11a : Ag 패턴       | 12: Ag 산화막  |
| 20 : 고전압의 집속 이온 빔 |             |

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는, 노광 마스크 상의 패턴 임계치수(Critical Dimension)의 정확도를 향상시키기 위한 반도체 제조용 노광 마스크의 제조방법에 관한 것이다.

<10> 주지된 바와 같이, 반도체 제조 공정에서 콘택홀 또는 각종 패턴들은 통상 포토리소그라피(Photolithography) 공정을 통해 형성된다. 상기 포토리소그라피 공정은 식각 대상층 상에 감광성 중합체(이하, 감광막이라 칭함)를 도포하는 공정과, 도포된 감광막을 임의의 노광 마스크를 이용하여 선택적으로 노광하는 공정, 및 소정의 화학용액을 사용하여 노광되거나, 또는, 노광되지 않은 감광막 부분을 제거하여 소정 형상의 감광막 패턴을 형성하는 현상 공정을 포함한다.

<11> 여기서, 상기 감광막에 대한 노광은, 전술한 바와 같이, 노광 마스크를 사용하여 수행하며, 상기 노광 마스크는 통상 투광성의 석영(quartz) 기판 상에 비투광성의 크롬 패턴이 형성된 구조를 갖는다.

<12> 또한, 상기 노광 마스크를 제조하기 위해, 종래에는 투광성의 석영 기판 상에 비투광성의 크롬막과 전자-빔(E-beam)에 감응하는 감광막을 차례로 형성한 후, 상기 감광막에 전자-빔을 조사하고, 이어서, 현상 및 식각 공정을 차례로 수행하고 있다.

【발명이 이루고자 하는 기술적 과제】

<13> 그러나, 전술한 종래의 노광 마스크 제조방법은, 도 1에 도시된 바와 같이, 감광막(3)에 대해 전자-빔(10)을 이용한 노광을 행할 때, 노광 영역 상에서의 전하 축적(Charge-up : 4)을 완벽하게 제어하지 못하며, 이로 인해, 소망하는 임계 치수의 마스크 패턴을 얻지 못하는 문제점이 있다.

<14> 도 1에서, 미설명된 도면부호 1은 석영 기판, 그리고, 2는 크롬막을 각각 나타낸다.

<15> 한편, 상기 전자-빔 노광시의 전하 축적 현상을 방지하기 위해, 종래에는 차광막의 역할을 하는 크롬막의 레이아웃을 조절하여 마스크 패턴의 버스트(burst)를 방지하고 있다. 그러나, 웨이퍼 상에 구현되는 실제 회로 패턴의 레이아웃을 고려할 때, 전술한 방법은 크롬막의 레이아웃을 조절하는데 한계가 있고, 그래서, 전하 축적 현상을 억제하기 곤란함은 물론, 국부적 전하 축적을 근본적으로 방지하기 어렵다.

<16> 결과적으로, 종래의 노광 마스크 제조방법은 256M 이상의 고집적 회로 제조용 노광 마스크의 제작에서 요구되는 수준의 마스크 패턴의 임계 치수 정확도를 구현하기 어려우며, 그래서, 노광 마스크 자체는 물론, 고집적 회로의 구현이 실질적으로 어렵다.

<17> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 마스크 패턴의 임계 치수 정확도(Accuracy)를 향상시킬 수 있는 반도체 제조용 노광 마스크의 제조방법을 제공함에 그 목적이 있다.

<18> 또한, 본 발명은 마스크 패턴의 임계 치수 정확도 향상시켜, 고집적 회로 제조용 노광 마스크 및 고집적 회로의 구현이 가능하도록 하는 반도체 제조용 노광 마스크의 제조방법을 제공함에 그 다른 목적이 있다.

#### 【발명의 구성 및 작용】

<19> 상기와 같은 목적을 달성하기 위한 본 발명의 반도체 소자 제조용 노광 마스크의 제조방법은, 투광성의 석영 기판 상에 크롬막 및 감광막을 차례로 형성하는 단계; 상기 감광막 상에 소정의 도전막을 형성하는 단계; 상기 도전막을 노광

및 현상하여 도전막 패턴을 형성하는 단계; 상기 도전막 패턴을 산화시켜 상기 도전막 패턴의 표면에 차광막의 역할을 하는 산화막을 형성하는 단계; 상기 표면에 산화막을 갖는 도전막 패턴을 이용하여 감광막을 노광하고, 노광된 감광막을 현상하여 크롬막을 노출시키는 감광막 패턴을 형성하는 단계; 상기 노출된 크롬막 부분을 선택적으로 식각하여 크롬막으로 이루어진 마스크 패턴을 형성하는 단계; 및 상기 산화막을 포함한 도전막 패턴과 감광막 패턴을 제거하는 단계를 포함한다.

<20> 여기서, 본 발명은 상기 도전막으로 Ag막을 형성하며, 상기 Ag막에 대한 노광은 광원으로 고전압의 전자-빔, 또는, 집속 이온 빔을 사용하여 수행한다.

<21> 본 발명에 따르면, 감광막 상에 도전층의 형성, 전자-빔 또는 집속 이온 빔을 이용한 노광, 및 산화 공정을 차례로 수행하여 차광막으로 역할하는 도전층 패턴을 형성하고, 이러한 도전층 패턴을 이용하여 감광막의 노광 및 식각 공정을 행함으로써, 전하 축적 현상을 방지할 수 있고, 그래서, 마스크 패턴의 임계 치수 정확도를 향상시킬 수 있다.

<22> (실시예)

<23> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

<24> 도 2a 내지 도 2d는 본 발명의 실시예에 따른 반도체 제조용 노광 마스크의 제조방법을 설명하기 위한 단면도이다. 여기서, 도 1과 동일한 부분은 동일한 도면부호로 나타낸다.

<25> 도 2a를 참조하면, 투광성의 석영 기판(1) 상에 비투광성의 크롬막(2)을 형성하고, 상기 크롬막(2) 상에 감광막(3)을 도포한다. 그런다음, 상기 감광막(3) 상에 스퍼터링(sputtering) 또는 MOCVD(Metal Organic CVD) 공정을 이용하여 소정 도전막, 예컨대, Ag막(11)를 500Å 이상, 바람직하게, 500~3,000Å 두께, 보다 정확하게, 1,500~2,500Å 두께로 증착한다.

<26> 도 2b를 참조하면, 광원으로서 고전압의 전자-빔 또는 집속 이온 빔(Focused Ion Beam)을 사용하여 Ag막을 노광하고, 노광된 Ag막을 현상하여 실제 얻고자하는 회로 패턴의 형상대로 Ag 패턴(11a)을 형성한다. 그런다음, 상기 결과물에 대해 200~300℃의 온도 및 500~1,000mTorr의 압력에서 100~150초 동안 O<sub>2</sub> 또는 O<sub>3</sub> 플라즈마를 이용한 산화 공정을 수행하고, 이 결과로서, 상기 Ag 패턴(11a)의 표면에 Ag 산화막(AgO<sub>x</sub> : 12)을 형성한다. 여기서, 상기 Ag 산화막(12)은 물질 자체의 기본 특성으로 인해 검은색으로 변색되며, 이후의 노광 공정에서 차광막의 역할을 하게 된다.

<27> 도 2c를 참조하면, 상기 Ag 산화막(12)에 의해 선택적으로 차광된 감광막(3)을 G-라인( $\lambda=436\text{nm}$ ), I-라인( $\lambda=365\text{nm}$ ), 또는, KrF( $\lambda=248\text{nm}$ )계 광원을 이용하여 노광하고, 그런다음, 노광된 감광막을 현상하여 감광막 패턴(3a)을 형성한다. 이어서, 상기 결과물에 대해 건식 식각을 행하여 노출된 크롬막 부분을 선택적으로 식각하고, 이 결과로, 크롬막 패턴, 즉, 마스크 패턴(2a)을 형성한다.

<28> 도 2d를 참조하면, 잔류되어 있는 Ag 산화막을 포함한 Ag 패턴을 Cl<sub>2</sub>BCl<sub>3</sub> 등의 가스를 이용한 건식 식각으로 제거하고, 그런다음, 잔류된 감광막을 O<sub>2</sub> 에



이상으로 제거한다. 이어서, 세정 공정을 수행하여 본 발명의 노광 마스크를 완성한다.

<29> 전술한 본 발명의 실시예에 있어서, 감광막 상에 실제 얻고자하는 회로 패턴의 형상대로 Ag 산화막을 포함한 Ag 패턴을 형성한 후, 이 Ag 패턴을 이용해서 상기 감광막을 노광하기 때문에, 국부적 전하 축적에 의한 마스크 패턴의 임계 치수 변동을 방지할 수 있다.

<30> 자세하게, Ag막은 금속이기 때문에 전하의 국부적 축적을 방지하며, Ag 산화막은 차광 특성을 갖기 때문에 이후의 노광 공정에서 차광막으로서 역할을 한다. 이에 따라, 국부적 전하 축적으로 인한 전자빔 노광시, 목적지로부터 변위가 생기는 것을 Ag막의 전하 축적 방지를 통해서 해결할 수 있기 때문에 마스크 패턴의 임계 치수 변동은 방지된다.

<31> 따라서, 본 발명의 방법을 이용할 경우, 마스크 패턴의 임계 치수 정확도를 향상시킬 수 있게 되고, 이 결과로, 고집적 회로 패턴의 구현이 가능한 노광 마스크를 제조할 수 있게 된다.

#### 【발명의 효과】

<32> 이상에서와 같이, 본 발명은 감광막의 노광 전, 상기 감광막 상에 실제 얻고자 하는 회로 패턴의 형상대로 차광막 패턴을 추가 형성하고, 이러한 차광막 패턴을 이용해서 후속의 감광막 노광을 행함으로써, 전하 축적에 기인하는 마스크 패턴의 임계 치수의 정확도 저하를 방지할 수 있다.

<33> 따라서, 본 발명은 마스크 패턴의 임계 치수 정확도를 향상시킬 수 있기 때문에 우수한 성능의 노광 마스크를 제조할 수 있고, 결국, 256M 이상의 고집적 회로를 구현할 수 있다.

<34> 기타, 본 발명은 그 요지가 이탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

**【특허청구범위】****【청구항 1】**

투광성의 석영 기판 상에 크롬막 및 감광막을 차례로 형성하는 단계;

상기 감광막 상에 소정의 도전막을 형성하는 단계;

상기 도전막을 노광 및 현상하여 도전막 패턴을 형성하는 단계;

상기 도전막 패턴을 산화시켜 상기 도전막 패턴의 표면에 차광막의 역할을 하는 산화막을 형성하는 단계;

상기 표면에 산화막을 갖는 도전막 패턴을 이용하여 감광막을 노광하고, 노광된 감광막을 현상하여 크롬막을 노출시키는 감광막 패턴을 형성하는 단계;

상기 노출된 크롬막 부분을 선택적으로 식각하여 크롬막으로 이루어진 마스크 패턴을 형성하는 단계; 및

상기 산화막을 포함한 도전막 패턴과 감광막 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 제조용 노광 마스크의 제조방법.

**【청구항 2】**

제 1 항에 있어서, 상기 도전막은 Ag막인 것을 특징으로 하는 반도체 제조용 노광 마스크의 제조방법.

**【청구항 3】**

제 2 항에 있어서, 상기 Ag막은 스퍼터링 공정을 이용하여 500~3,000 Å 두께로 형성하는 것을 특징으로 하는 반도체 제조용 노광 마스크의 제조방법.

**【청구항 4】**

제 2 항에 있어서, 상기 산화막은 Ag 산화막( $\text{AgO}_x$ )인 것을 특징으로 하는 반도체 제조용 노광 마스크의 제조방법.

**【청구항 5】**

제 4 항에 있어서, 상기 Ag막의 산화는

200~300℃의 온도 및 500~1,000mTorr의 압력에서 100~150초 동안  $\text{O}_2$  또는  $\text{O}_3$  플라즈마를 이용한 산화 공정으로 수행하는 것을 특징으로 하는 반도체 제조용 노광 마스크의 제조방법.

**【청구항 6】**

제 1 항에 있어서, 상기 도전막의 노광은 광원으로 고전압의 전자-빔, 또는, 집속 이온 빔을 사용하여 수행하는 것을 특징으로 하는 반도체 제조용 노광 마스크의 제조방법.

**【청구항 7】**

제 1 항에 있어서, 상기 감광막의 노광은

광원으로서 G-라인( $\lambda=436\text{nm}$ ), I-라인( $\lambda=365\text{nm}$ ), 또는, KrF( $\lambda=248\text{nm}$ )를 사용하여 수행하는 것을 특징으로 하는 반도체 제조용 노광 마스크의 제조방법.

**【청구항 8】**

제 1 항에 있어서, 상기 산화막을 포함한 도전막 패턴의 제거는  $\text{Cl}_2\text{BCl}_3$  가스를 이용한 건식 식각으로 수행하는 것을 특징으로 하는 반도체 제조용 노광 마스크의 제조방법.

**【청구항 9】**

제 1 항에 있어서, 상기 감광막 패턴의 제거는  $O_2$  에이싱으로 수행하는 것을 특징으로 하는 반도체 제조용 노광 마스크의 제조방법.

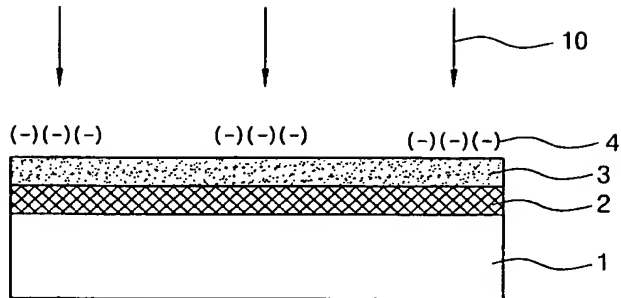
**【청구항 10】**

제 1 항에 있어서, 상기 산화막을 포함한 도전막 패턴과 감광막 패턴을 제거하는 단계 후,

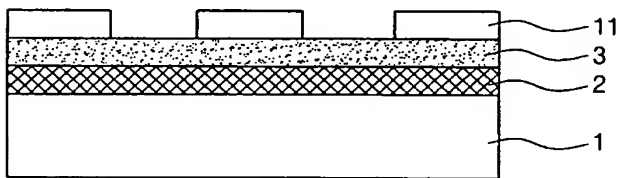
상기 결과물을 세정하는 단계를 더 포함하는 것을 특징으로 하는 반도체 제조용 노광 마스크의 제조방법.

【도면】

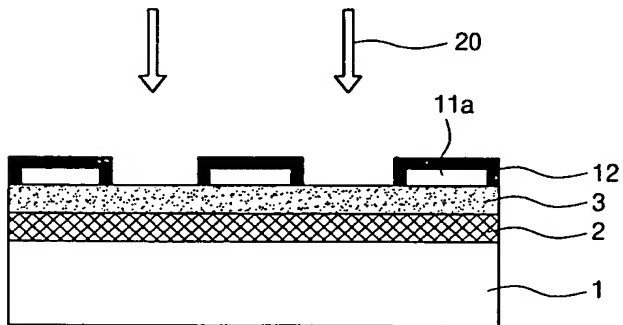
【도 1】



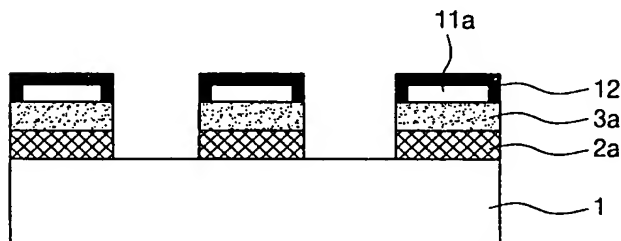
【도 2a】



【도 2b】



【도 2c】



【도 2d】

